|  |
| --- |
| НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ «КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ» |
| Лабораторна робота №3 |
| **З дисципліни комп’ютерна схемотехніка** |
|  |
| Виконав студент 3 курсу ФІОТ, група ІО-03 Гура Едуард |

**2012р.**

Варіант завдання

Номер залікової книжки – 0404.

N=(4+6)mod6+4=8

n=8+8\*6=56

MR=27+25\*33=1184

КB=1+0=1

Так як є всього 1 шина, то нам необхідно записувати адрес та дані в різних тактах:

спочатку подаємо сигнал запису адреси та сама адреса на шину. В наступному такті подаємо сигнал запису та дані на шину або сигнал зчитування та забираємо дані з шини.

Пам’ять складається з 2 дешифраторів адресу: для сигналу запису та сигналу зчитування; матриці тригерів розміром n\*MR елементів та схеми, яка формує вихідний сигнал з однакових розрядів різних слів.

Загальна схема пам’яті



Так як кількість входів дешифратора рівна 11, а параметр ПЛМТ – 8, то необхідно каскаду вати дешифратори для отримання більшого. Перший дешифратор вибирає один з другого рівня та включає його.

Схема каскадування дешифраторів



Для отримання результату необхідно реалізувати функцію 2І-1184АБО. Так як входів в ПЛМ 8, то цю функцію можна реалізувати використовуючи каскадування функції АБО при цьому використаємо 148 ПЛМ для першого рівня, 19 для другого, 3 для 3-го та 1 для четвертого. Загальна кількість ПЛМ в цій схемі – 171.

Так як шина даних та шина адресу суміщені, то необхідно модифікувати загальну схему:



Схема одного розряду пам’яті

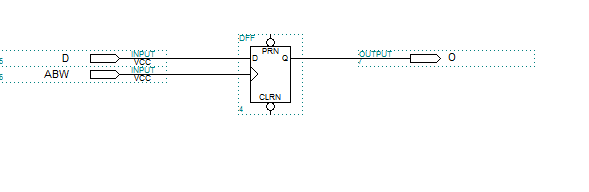
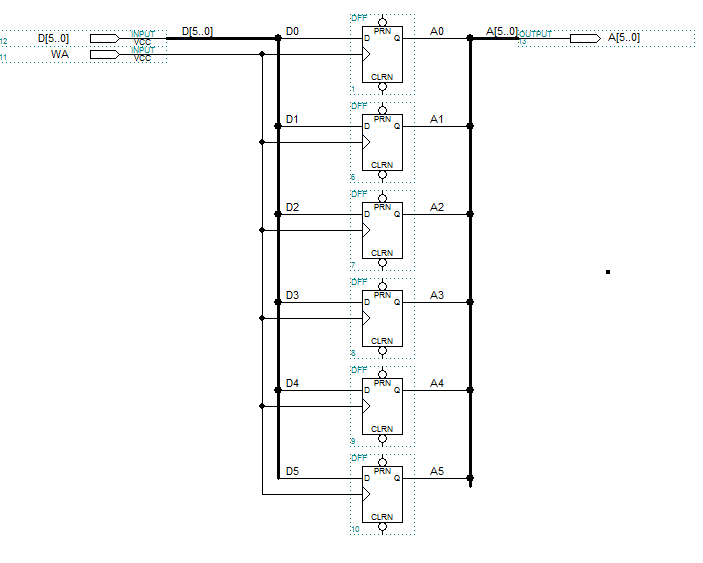


Схема регістру адреси



Швидкодія даної схеми визначається часом формування сигналу дешифратором, часом зчитування з регістра та часом формування результуючого сигналу в схемі АБО:

t=tDC+tT+tOR=2\*1+2+4\*1=8

Складність схеми:

Дешифратор складається з 26=64 ПЛМ для першого рівня та 1184 для другого рівня.

Загальна кількість тригерів – n\*MR=66304.

Схема формування результату – 148+19+3+1=171 ПЛМ.

Регістр адреси – 11 тригерів.

Загальна складність пам’яті – 1419 ПЛМ та 66315 ПЛМТ